



Korean Patent Application Publication No. 2000-14518

Abstract

A gate line is formed of a single line, and a semiconductor layer is formed in an at least two or more even number of channel regions formed in regions crossing the gate line in the same direction, in source and drain LDD regions formed on both sides of each of the channel regions respectively, and in the opposite sides of each of the channel regions over the source and drain LDD regions, and has source and drain regions positioned in the same direction as the gate line. At this time, the semiconductor layer can form a U-like shape, a shape formed of U-like shapes repeatedly connected to each other, or a circle or a closed curve, or can be separated in the even number of pieces. When the semiconductor layer forms the circle or the closed curve, a branch of the gate line connected with the gate line and crossing the semiconductor layer twice or an even number of times can be added. When the semiconductor layer is separated in the even number of pieces each crossing the gate line once, the adjacent source and drain regions of the semiconductor layer are formed on the opposite sides over the gate line respectively, and the source and drain regions can be connected with each other through connection portions respectively. The connection portion can be formed of a metal film, a doped silicon layer, or ITO. In this structure of the invention, even if misalignment occurs in a manufacturing process and the length of each of the source and drain LDD regions changes, the total length of all the source LDD regions and the total length of all the drain LDD regions are always constant respectively.

Structure of Invention

Figs. 5 and 6 are disposition views showing a structure of a thin film transistor of first and second embodiments of the invention. Fig. 7 is a cross-sectional view of the thin film transistor along line VII-VII of Figs. 5 and 6, and Fig. 8 is an equivalent circuit diagram of the thin film transistor shown in Figs. 5 to 7.

As shown in Figs. 5 to 7, a semiconductor layer (200) formed of polycrystalline silicon is formed on an insulation substrate (100), being bent to form a U-like shape, and a gate insulation film (300) covering the semiconductor layer (200) is formed. A gate line (400) is formed on the gate insulation film (300) in a lateral direction, crossing the bent semiconductor layer (200) twice. The gate line (400) is straight in the first embodiment of Fig. 5, and the gate line (400) is bent twice in the second embodiment of Fig. 6. Two channel regions (210, 230) to be formed with channels of the thin film transistors are formed in the semiconductor layer 200 under the gate line (400), and source and drain LDD (low doping drain) regions (220, 240 : 260, 280) doped with the low concentration of N-type or P-type impurity are formed on both sides of each of the channel regions (210, 230) respectively. Furthermore, on the opposite side of each of the channel regions (210, 230) over each of the source and drain LDD regions (220, 280), source and drain regions (250, 270) doped with the high concentration of N-type or P-type impurity are formed respectively, being connected with the source and drain electrodes of the thin film transistors respectively. Between the source and drain LDD regions (240, 260), an intermediate region (290) doped with the high concentration of N-type or P-type impurity is formed. At this time, a part of the gate line (400) crossing the channel region (210) of the semiconductor layer (200) is a gate electrode of the thin film transistor. Furthermore, an interlayer insulation film (500) is formed on the substrate (100), covering the gate line (400).

In this structure of the thin film transistor of the invention, both the source and drain regions (250, 270) are formed above the single gate line (400), there are the even number of the channel regions (210, 230) having the source and drain LDD regions (220, 240 : 260, 280) on their both sides, and the gate line (400) and the semiconductor layer (200) are crossing each other in the same direction. Therefore, even if misalignment occurs when the source and drain regions (250, 270) are formed in a manufacturing process, the lengths (LS1, LS2) of the source LDD regions (220, 260) and the lengths (LD1, LD2) of the drain LDD regions (240, 280) are respectively compensated by each other.

That is, when the source and drain regions (250, 270) and the intermediate region (290) are formed, if a photosensitive resist used as a mask for ion injection is shifted to above the gate line (400), the length (LS2) of the source LDD region (260) increases by a decreased amount of the length (LS1) of the source LDD region (220), and the length (LD2) of the drain LDD region (280) decreases by an increased amount of the length (LD1) of the drain LDD region (240).

In the contrary case, of course, the length (LS2) of the source LDD region (260) decreases by an increased amount of the length (LS1) of the source LDD region (220), and the length (LD2) of the drain LDD region (280) increases by a decreased amount of the length (LD1) of the drain LDD region (240).

Therefore, in this structure of the thin film transistor of the invention, even if misalignment occurs, the total length ($=LS1+LS2$) of the source LDD regions (220, 260) and the total length ($=LD1+LD2$) of the drain LDD regions (240, 280) are compensated by themselves, and are constant anytime. Therefore, even if the

misalignment occurs, an ON/OFF current of all the first and second thin film transistors (LDD TFT1, LDD TFT2) is always constant (Fig. 7).

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/786

(11) 공개번호 특2000-0014518
(43) 공개일자 2000년03월 15일

(21) 출원번호 10-1998-0033994
(22) 출원일자 1998년08월21일
(71) 출원인 삼성전자 주식회사 윤중용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이주형
서울특별시 강남구 대치1동 주공고층아파트 311동 1102호
(74) 대리인 김원호, 김원근

심사청구 : 있음

(54) 박막 트랜지스터 및 그 제조 방법

요약

게이트선이 단일선으로 형성되어 있으며, 반도체층은 게이트선과 동일한 방향으로 교차하는 부분에 형성되어 있는 적어도 두 개 이상 짝수 개의 채널 영역, 채널 영역의 양쪽에 형성되어 있는 소스용 및 드레인용 LDD 영역 및 소스용 및 드레인용 LDD 영역을 중심으로 채널 영역의 맞은편에 형성되어 있으며 게이트선에 대하여 동일한 쪽에 위치한 소스 및 드레인 영역을 가진다. 이때, 반도체층은 U자 모양, U자 모양이 반복적으로 연결된 모양, 고리 또는 폐곡선 모양, 또는 분리된 짝수 개로 형성할 수 있다. 반도체층이 고리 또는 폐곡선 모양인 경우에는, 게이트선과 연결되어 있으며 반도체층과 두 번 이상 짝수로 교차하는 게이트선의 분지를 추가할 수 있다. 또한, 반도체층을 게이트선과 한 번 교차하는 짝수 개로 분리하는 경우에, 서로 이웃하는 반도체층의 소스 및 드레인 영역은 게이트선에 대하여 다른 쪽에 형성되어 있으며, 소스 및 드레인 영역은 각각 연결부를 통하여 연결할 수 있다. 연결부는 금속막, 도핑된 규소층 또는 ITO로 형성할 수 있다. 이러한 본 발명에 따른 구조에서는 제조 공정에서 오정렬이 발생하여 각각의 소스용 및 드레인용 LDD 영역의 길이가 변하더라도, 전체적으로 만들어지는 소스용 LDD 영역의 길이와 드레인용 LDD 영역의 길이 각각의 합은 항상 일정하게 된다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 종래의 기술에 따른 이중 게이트를 갖는 박막 트랜지스터의 구조를 도시한 배치도이고,
도 2는 도 1에서 II-II 선을 따라 절단한 구조를 도시한 단면도이고,
도 3은 종래의 기술에 따른 단일 게이트를 갖는 박막 트랜지스터의 구조를 도시한 배치도이고,
도 4는 도 3에서 IV-VI 선을 따라 절단한 구조를 도시한 단면도이고,
도 5 및 도 6은 본 발명의 제1 및 제2 실시예에 따른 박막 트랜지스터의 구조를 도시한 배치도이고,
도 7은 도 5 및 도 6에서 VII-VII 선을 따라 절단한 단면도이고,
도 8은 도 5, 도 6 및 도 7에 나타난 본 발명의 제1 및 제2 실시예에 따른 박막 트랜지스터의 등가 회로도이고,
도 9는 본 발명의 제3 실시예에 따른 박막 트랜지스터의 구조를 도시한 배치도이고,
도 10은 도 9에서 X-X 선을 따라 절단한 단면도이고,
도 11은 도 9 및 도 10에 나타난 본 발명의 제3 실시예에 따른 박막 트랜지스터의 등가 회로도이고,
도 12는 본 발명의 제4 실시예에 따른 박막 트랜지스터의 구조를 도시한 배치도이고,
도 13은 도 12에서 XII-XII 선을 따라 절단한 단면도이고,
도 14는 도 12 및 도 13에 나타난 본 발명의 제4 실시예에 따른 박막 트랜지스터의 등가 회로도이고,
도 15는 본 발명의 제1 실시예에 따른 박막 트랜지스터를 사용한 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,
도 16은 도 15에서 XVI-XVI 선을 따라 절단한 단면도이고,
도 17a 및 도 17b, 도 18a 및 도 18b, 도 19a 및 도 19b 및 도 20a 및 도 20b는 도 15 및 도 16에서 도

시한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 도시한 단면도이고,

도 21 및 도 22는 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 박막 트랜지스터의 구조를 개략적으로 도시한 도면이고,

도 23은 도 21 및 도 22에 나타난 박막 트랜지스터의 등가 회로도이고,

도 24 및 25는 본 발명의 제6 및 제7 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 박막 트랜지스터의 구조를 개략적으로 도시한 단면도이고,

도 26은 본 발명의 제8 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 개략적으로 도시한 배치도이고,

도 27은 도 26에 나타난 박막 트랜지스터의 등가 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는, 박막 트랜지스터 액정 표시 장치에서 스위칭 소자로 사용되는 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

액티브 매트릭스(active matrix) 액정 표시 장치의 스위칭 소자로 많이 이용되는 박막 트랜지스터의 경우, 비정질 규소(amorphous silicon)나 다결정 규소(polysilicon)를 반도체층으로 주로 사용한다.

여기서, 다결정 규소를 반도체층으로 사용하는 박막 트랜지스터는 높은 전자 이동도를 가지는 장점이 있으나, 낮은 비저항을 가지므로 누설 전류가 큰 단점을 가지고 있다. 이러한 단점을 개선하기 위하여 저농도 도핑 영역을 가지는 LDD(lightly doped drain) 구조를 채용하고 있다.

그러면, 첨부한 도면을 참고로 하여 종래의 박막 트랜지스터의 구조에 대하여 더욱 자세하게 알아보면 다음과 같다.

도 1은 종래의 기술에 따른 이중 게이트를 갖는 박막 트랜지스터의 구조를 도시한 배치도이고, 도 2는 도 1에서 II-II 선을 따라 절단한 구조를 도시한 단면도이다.

도 1 및 도 2에서 보는 바와 같이, 절연 기판(1) 위에 다결정 규소로 이루어진 반도체층(2)이 세로 방향으로 형성되어 있고, 반도체층(2)을 덮는 게이트 절연막(3)이 형성되어 있다. 여기서, 반도체층(2)에는 박막 트랜지스터의 두 채널 영역(21, 23)이 형성되어 있고 채널 영역(21, 23)의 양쪽에는 각각 '저농도로 도핑되어 있는 소스용 및 드레인용 LDD(low doping drain) 영역(22, 24 : 26, 28)이 각각 형성되어 있다. 소스용 및 드레인용 LDD 영역(22, 28)을 중심으로 채널 영역(21, 23)의 맞은편에는 각각 고농도로 도핑되어 있는 소스 및 드레인 영역(24, 25)이 각각 형성되어 있으며, 소스용 및 드레인용 LDD 영역(26, 24) 사이에는 고농도로 도핑되어 있는 중간 영역(29)이 형성되어 있다. 게이트 절연막(3) 위에는 가로 방향으로 형성되어 있는 게이트선(4), 게이트선(4)과 평행한 전극 부분(41) 및 전극 부분(41)과 게이트선(4)을 연결하는 연결부(42)로 이루어진 게이트 패턴이 형성되어 있다. 이때, 게이트선(4) 및 전극 부분(41)은 반도체층(2)의 채널 영역(21)과 중첩되어 게이트 전극의 기능을 가진다. 또한, 기판(1)의 상부에는 게이트 패턴(4, 41, 42)을 덮는 층간 절연막(5)이 형성되어 있다.

도 3은 종래의 기술에 따른 단일 게이트를 가지는 박막 트랜지스터를 도시한 단면도이고, 도 4는 도 3에서 VI-VI 선을 따라 잘라 도시한 단면도이다.

도 3 및 도 4에서 보는 바와 같이, 단일 게이트를 가지는 박막 트랜지스터에는 게이트선(4) 하부 반도체층(2)에 하나의 채널 영역(21)이 형성되어 있고, 채널 영역(21)의 양쪽에 N형 또는 P형의 불순물이 저농도로 도핑된 한 쌍의 소스용 및 드레인용 LDD 영역(22, 24)이 형성되어 있으며, 소스용 및 드레인용 LDD 영역(22, 24)을 중심으로 채널 영역(21)의 맞은편에는 N형 또는 P형의 불순물이 고농도로 도핑된 소스 및 드레인 영역(25, 27)이 각각 형성되어 있다.

이러한 종래의 박막 트랜지스터의 소스용 및 드레인용 LDD 영역(22, 24 : 26, 28)은 게이트 패턴(4, 41)을 마스크로 하고, 소스 및 드레인 영역(25, 27)은 광광성 레지스트를 마스크로 하여 반도체층(2)에 이온 주입하여 형성하는 것이 일반적이다.

그러나, 소스 및 드레인 영역(25, 27)을 형성할 때, 오정렬이 발생하면 채널 영역(21, 23)을 중심으로 소스용 LDD 영역(22, 26)의 총 길이($=S1+S2, S$)와 드레인용 LDD 영역(24, 28)의 총 길이($=D1+D2, D$)가 달라져 비대칭적으로 형성된다. 예를 들어, 광광성 레지스트가 위 방향으로 치우치는 경우에는 소스용 LDD 영역(22)의 총 길이($=S1+S2, S$)는 증가하게 되고 드레인용 LDD 영역(24)의 총 길이($=D1+D2, D$)는 감소하게 된다.

이렇게 오정렬로 인하여 소스용 및 드레인용 LDD 영역(22, 24 : 26, 28)의 길이가 서로 비대칭적으로 형성되면, 충전시(charging)나 방전시(discharging)에 드레인 전류나 누설 전류가 소스용 및 드레인용 LDD 영역(22, 24)의 길이에 따라 다르게 나타나기 때문에 소자의 특성이 떨어지는 문제점이 나타난다.

발명이 이루고자하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위한 것으로서, 오정렬이 발생하더라도 소자의 특성을 보상하는 소스용 및 드레인용 LDD 영역을 가지는 박막 트랜지스터를 제공하는 것이다.

발명의 구성 및 작용

이러한 본 발명에 따른 박막 트랜지스터에는 게이트선과 반도체층이 두 번 이상 짝수 번 같은 방향으로 교차하고 있으며, 소스 및 드레인 영역은 게이트선에 대하여 동일한 쪽에 형성되어 있다.

더욱 상세하게는, 게이트선은 단일선으로 형성되어 있으며, 반도체층은 게이트선이 교차하는 부분에 형성되어 있는 채널 영역, 채널 영역의 양쪽에 형성되어 있는 소스용 및 드레인용 LDD 영역 및 소스용 및 드레인용 LDD 영역을 중심으로 채널 영역의 맞은편에 형성되어 있으며 게이트선에 대하여 동일한 쪽에 위치한 소스 및 드레인 영역을 가진다.

여기서, 게이트선은 한 방향으로 형성할 수 있으며, 반도체층은 U자 모양 또는 U자 모양이 반복적으로 연결된 모양으로 형성할 수 있다.

또한, 반도체층은 게이트선과 한 번 교차하는 짝수 개로 부분으로 분리될 수 있으며, 서로 이웃하는 반도체층의 소스 및 드레인 영역은 각각 게이트선에 대하여 다른 쪽에 형성되어 있다. 이때, 게이트선에 대하여 다른 쪽에 형성되어 있는 각각의 소스 및 드레인 영역은 연결부를 통하여 서로 연결되어 있다.

여기서, 연결부는 금속층, 고농도로 도핑되어 있는 규소층 또는 IT0막으로 형성할 수 있다.

또한, 반도체층은 고리 또는 폐곡선 모양으로 형성할 수 있으며, 반도체층과 두 번 이상 짝수 번 동일한 방향으로 교차하며 게이트선과 평행한 게이트선의 분지를 더 포함할 수 있다.

이때, 게이트선의 경계로부터 LDD 영역의 길이는 0.3~5.0 μ m 범위이고, 게이트선의 폭은 2~10 μ m 범위의 것이 바람직하다.

이러한 본 발명에 따른 박막 트랜지스터는 액정 표시 장치용 박막 트랜지스터 기판에 적용할 수 있다.

본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판에는, 투명한 절연 기판 위에 적어도 두 개 이상 짝수 개의 채널 영역, 채널 영역의 양쪽에 각각 형성되어 있는 소스용 및 드레인용 LDD 영역 및 소스 및 드레인 영역을 중심으로 채널 영역의 맞은편에 형성되어 있는 소스 및 드레인 영역을 가지는 반도체층이 형성되어 있다. 반도체층을 덮는 게이트 절연막 위에 단일선으로 형성된 게이트선은 소스 및 드레인 영역에 대하여 동일한 쪽에서 소스용 및 드레인용 LDD 영역 사이의 채널 영역에서 동일한 방향으로 반도체층과 교차하고 있다. 또한, 기판 위에는 게이트선과 절연되어 교차하여 화소 영역을 정의하는 데이터선이 형성되어 있으며, 화소 영역에는 데이터선의 분지인 소스 전극과 연결되어 있는 화소 전극이 형성되어 있다.

이때, 반도체층의 하부에는 서로 분리되어 있는 두 개의 버퍼 금속층을 더 포함할 수 있으며, 버퍼 금속층은 소스 및 드레인 영역과 연결되어 있다.

여기서, 게이트선과 상기 데이터선 사이에는 층간 절연막을 더 포함하며, 데이터선의 분지인 소스 전극과 게이트 전극을 중심으로 소스 전극 맞은편에 형성되어 있는 드레인 전극은 게이트 절연막 및 층간 절연막에 형성되어 있는 제1 및 제2 접촉 구멍을 통하여 소스 및 드레인 영역과 각각 연결되어 있다.

또한, 드레인 전극과 화소 전극 사이에 보호막이 더 형성되어 있으며, 보호막에 형성되어 제3 접촉 구멍을 통하여 드레인 전극은 화소 전극과 연결되어 있다.

이러한 본 발명에 따른 박막 트랜지스터 및 이를 포함하는 액정 표시 장치용 박막 트랜지스터 기판에서는 제조 과정에서 오정렬이 발생하더라도 짝수 개의 소스용 및 드레인용 LDD 영역의 길이는 각각 변하더라도, 전체적으로 만들어지는 소스용 LDD 영역의 길이와 드레인용 LDD 영역의 길이 각각의 합은 항상 일정하게 된다.

그러면 첨부한 도면을 참고로 하여 본 발명에 따른 박막 트랜지스터의 실시예를 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명한다.

도 5 및 도 6은 본 발명의 제1 및 제2 실시예에 따른 박막 트랜지스터의 구조를 도시한 배치도이고, 도 7은 도 5 및 도 6에서 VII-VII 선을 따라 잘라 도시한 단면도이고, 도 8은 도 5 내지 도 7에서 도시한 박막 트랜지스터의 등가 회로도이다.

도 5 내지 도 7에서 보는 바와 같이, 절연 기판(100) 위에 다결정 규소로 이루어진 반도체층(200)이 굴곡되어 U자 모양으로 형성되어 있고, 반도체층(200)을 덮는 게이트 절연막(300)이 형성되어 있다. 게이트 절연막(300) 위에는 가로 방향으로 게이트선(400)이 형성되어 굴곡된 반도체층(200)과 두 번 교차하도록 형성되어 있다. 여기서, 도 5의 제1 실시예에서는 게이트선(400)이 직선이며, 도 6의 제2 실시예에서는 게이트선(400)이 두 번 굴곡되어 있다. 게이트선(400) 하부의 반도체층(200)에는 박막 트랜지스터의 채널이 형성되는 두 개의 채널 영역(210, 230)이 형성되어 있으며, 각 채널 영역(210, 230)의 양쪽에는 N형 또는 P형의 불순물이 저농도로 도핑되어 있는 소스용 및 드레인용 LDD(low doping drain) 영역(220, 240 : 260, 280)이 각각 형성되어 있다. 또한, 소스용 및 드레인용 LDD 영역(220, 280)을 중심으로 각각의 채널 영역(210, 230)의 맞은편에는 박막 트랜지스터의 소스 및 드레인 전극과 각각 연결되며 N형 또는 P형의 불순물이 고농도로 도핑되어 있는 소스 및 드레인 영역(250, 270)이 각각 형성되어 있으며, 소스용 및 드레인용 LDD 영역(240, 260) 사이에는 N형 또는 P형의 불순물이 고농도로 도핑되어 있는 중간 영역(290)이 형성되어 있다. 이때, 게이트선(400) 중에서 반도체층(200)의 채널 영역(210)을 지나는 부분은 박막 트랜지스터의 게이트 전극이다. 또한, 기판(100)의 상부에는 게이트선(400)을 덮는 층간 절연막(500)이 형성되어 있다.

여기서, 박막 트랜지스터의 특성을 고려하여 게이트선(400)의 폭은 2~10 μ m 범위에서 형성하는 것이 바람직하며, 소스용 및 드레인용 LDD 영역(220, 230)의 길이(LS1, LD1, LS2, LD2)는 0.3~5.0 μ m 범위에서 형성하는 것이 바람직하다.

이러한 구조의 등가 회로를 보면, 도 8에서 보는 바와 같이, 도 5 내지 도 7에서 소스 영역(250) 및 소

소스용 LDD 영역(220)을 소스(S1)로 하고 드레인용 LDD 영역(240) 및 중간 영역(290)을 드레인(D1)으로 하는 제1 박막 트랜지스터(LDD TFT1)와 중간 영역(290) 및 소스용 LDD 영역(260)은 소스(S2)로 하고 드레인 영역(270) 및 드레인용 LDD 영역(280)을 드레인(D2)으로 하는 제2 박막 트랜지스터(LDD TFT2)가 직렬로 연결된 구조이며, 제1 및 제2 박막 트랜지스터(LDD TFT1, LDD TFT2)의 게이트(G1, G2)는 게이트선(400)이다.

이러한 본 발명에 따른 박막 트랜지스터의 구조에서 소스 및 드레인 영역(250, 270)은 모두 단일선의 게이트선(400) 위쪽에 형성되어 있으며, 양쪽에 소스용 및 드레인용 LDD 영역(220, 240 : 260, 280)이 있는 채널 영역(210, 230)은 짝수이며, 게이트선(400)과 반도체층(200)은 동일한 방향으로 교차하고 있다. 따라서, 제조 과정에서 소스 및 드레인 영역(250, 270)을 형성할 때 오정렬이 발생하더라도 소스용 LDD 영역(220, 260)의 길이(LS1, LS2)와 드레인용 LDD 영역(240, 280)의 길이(LD1, LD2)는 각각 서로 보상된다.

즉, 소스 및 드레인 영역(250, 270) 및 중간 영역(290)을 형성할 때 이온 주입용 마스크로 사용하는 광광성 레지스트가 게이트선(400)의 위쪽으로 치우치는 경우에 소스용 LDD 영역(220)의 길이(LS1)가 감소하는 만큼 소스용 LDD 영역(260)의 길이(LS2)는 증가하게 되고, 드레인용 LDD 영역(240)의 길이(LD1)가 증가하는 만큼 드레인용 LDD 영역(280)의 길이(LD2)는 감소하게 된다.

이와 반대의 경우에는, 물론 소스용 LDD 영역(220)의 길이(LS1)가 증가하는 만큼 소스용 LDD 영역(260)의 길이(LS2)는 감소하게 되며, 드레인용 LDD 영역(240)의 길이(LD1)가 감소하는 만큼 드레인용 LDD 영역(280)의 길이(LD2)는 증가하게 된다.

따라서, 이러한 본 발명에 따른 박막 트랜지스터의 구조에서는 오정렬이 발생하더라도 소스용 LDD 영역(220, 260)의 총 길이(=LS1+LS2)와 드레인용 LDD 영역(240, 280)의 총 길이(=LD1+LD2)는 스스로 보상되며, 소스용 LDD 영역(220, 260)의 총 길이(=LS1+LS2)와 드레인용 LDD 영역(240, 280)의 총 길이(=LD1+LD2)는 서로 항상 일정하게 된다. 그러므로, 오정렬이 발생하더라도 제1 및 제2 박막 트랜지스터(LDD TFT1, LDD TFT2) 전체의 온(ON)/오프(OFF) 전류는 항상 일정하게 된다 (도 7 참조).

물론, 좌우로 오정렬이 발생하는 경우에는 소스용 LDD 영역(220, 240)의 길이(LS1, LS2)와 드레인용 LDD 영역(260, 280)의 길이(LD1, LD2) 변화에는 영향을 미치지 않는다.

여기서, 반도체층과 교차하는 게이트선의 분지를 추가하여 LDD 영역이 없는 박막 트랜지스터를 추가할 수 있다.

도 9는 본 발명의 제3 실시예에 따른 박막 트랜지스터의 구조를 도시한 배치도이고, 도 10은 도 9에서 X-X 선을 따라 잘라 도시한 단면도이고, 도 11은 도 9 및 도 10에 도시한 박막 트랜지스터의 등가 회로도이다.

도 9 및 도 10에서 보는 바와 같이, 본 발명의 제3 실시예에 따른 박막 트랜지스터의 구조는 도 5 내지 도 7의 제1 및 제2 실시예와 유사하다.

하지만, 게이트선(400)에 연결되어 있으며, 반도체층(200)과 교차하는 게이트용 배선(410)이 추가로 형성되어 있다. 게이트용 배선(410) 하부의 반도체층(200)에 채널 영역(211)이 형성되어 있으며, 채널 영역(211)의 양쪽에 각각 중앙 영역(291, 292)이 형성되어 있다.

이러한 본 발명의 제2 실시예에서도 오정렬이 발생하면, 소스용 LDD 영역(220, 260)의 총 길이(=LS1+LS2)와 드레인용 LDD 영역(240, 280)의 총 길이(=LD1+LD2)는 제1 및 제2 실시예와 동일한 원리에 따라 스스로 보상되며, 소스용 LDD 영역(220, 260)의 총 길이(=LS1+LS2)와 드레인용 LDD 영역(240, 280)의 총 길이(=LD1+LD2)는 서로 항상 동일하다.

이러한 구조의 등가 회로를 보면, 도 11에서 보는 바와 같이, 본 발명의 제3 실시예에 따른 박막 트랜지스터는 제1 및 제2 실시예와 유사하게 소스 및 드레인 LDD 영역을 가지는 제1 및 제2 박막 트랜지스터(LDD TFT1, LDD TFT2)가 직렬로 연결된 구조이다.

하지만, 제1 및 제2 박막 트랜지스터(LDD TFT1, LDD TFT2) 사이에 중간 영역(291, 292)을 소스/드레인(S, D)으로 하며 게이트선(400)의 분지(410)는 게이트(G)로 하는 박막 트랜지스터(TFT)가 연결되어 있다 (도 9 및 도 10 참조).

제1 내지 제3 실시예에서는 소스 및 드레인 영역이 게이트선에 대하여 한 쪽에 같이 형성하기 위해 게이트선과 반도체층을 두 번 교차하도록 형성하였지만, 두 번 이상 짝수 번 교차하도록 형성할 수도 있다. 제4 실시예를 통하여 상세하게 설명하기로 한다.

도 12는 본 발명의 제4 실시예에 따른 박막 트랜지스터의 구조를 도시한 배치도이고, 도 13은 도 12에서 XIII-XIII 선을 따라 잘라 도시한 단면도이고, 도 14는 도 12 및 도 13에 도시한 박막 트랜지스터의 등가 회로이다.

도 12 및 도 13에서 보는 바와 같이, 본 발명의 제4 실시예에 따른 박막 트랜지스터의 구조는, 절연 기판(100) 위에 U자 모양이 반복적으로 연결된 모양인 반도체층(200)이 가로 방향의 게이트선(400)과 네 번 교차하도록 형성되어 있다. 그러므로, 게이트선(400) 하부의 반도체층(200)에는 네 개의 채널 영역(211, 212, 213, 214)들이 형성되어 있으며, 각각의 채널 영역(211, 212, 213, 214) 양쪽에는 소스용 및 드레인용 LDD 영역(222, 221 : 241, 242 : 262, 261 : 281, 282)이 각각 형성되어 있다. 또한, 드레인/소스용 LDD 영역(222, 241 : 242, 261 : 262 : 281) 사이에는 각각 중간 영역(291, 292, 293)이 형성되어 있다.

이때에도, 단일의 게이트선(400)과 반도체층(200)은 동일한 방향으로 서로 교차한다.

이러한 구조의 등가 회로를 보면, 도 14에서 보는 바와 같이, 도 12 내지 도 13에서 소스 영역(250) 및 소스용 LDD 영역(222)을 소스(S1)로 하고 드레인용 LDD 영역(221) 및 중간 영역(291)을 드레인(D1)으로 하는 제1 박막 트랜지스터(LDD TFT1), 중간 영역(291) 및 소스용 LDD 영역(241)은 소스(S2)로 하고 드레

인용 LDD 영역(242) 및 중간 영역(292)을 드레인(D2)으로 하는 제2 박막 트랜지스터(LDD TFT2), 중간 영역(292) 및 소스용 LDD 영역(262)을 소스(S3)로 하고 드레인용 LDD 영역(261) 및 중간 영역(293)을 드레인(D3)으로 하는 제3 박막 트랜지스터(LDD TFT3) 및 중간 영역(293) 및 소스용 LDD 영역(281)을 소스(S4)로 하고 드레인용 LDD 영역(282) 및 드레인 영역(270)을 드레인(D4)으로 하는 제4 박막 트랜지스터(LDD TFT2)가 직렬로 연결된 구조이며, 제1 내지 제4 박막 트랜지스터(LDD TFT1, LDD TFT2, LDD TFT3, LDD TFT4)의 게이트(G1, G2, G3, G4)는 게이트선(400)이다.

이러한 본 발명의 제4 실시예에서도, 오정렬이 발생하면, 소스용 LDD 영역(220)의 길이($=L_{S1}+L_{S2}+L_{S3}+L_{S4}$)와 드레인용 LDD 영역(230)의 길이($=L_{D1}+L_{D2}+L_{D3}+L_{D4}$)는 제1 내지 제3 실시예와 유사하게 스스로 보상되며, 소스용 LDD 영역(220)의 총 길이($=L_{S1}+L_{S2}+L_{S3}+L_{S4}$)와 드레인용 LDD 영역(230)의 총 길이($=L_{D1}+L_{D2}+L_{D3}+L_{D4}$)는 서로 항상 동일하다.

본 발명의 제1 내지 제4 실시예와 같이, 오정렬이 발생하더라도 소스용 및 드레인용 LDD 영역의 총 길이가 스스로 보상되기 위해서는 반도체층(200)과 단일의 게이트선(400)은 동일한 방향으로 두 번 이상 짝수 번 교차하며, 소스 및 드레인 영역(250, 270)이 게이트선(400)에 대하여 동일한 쪽에 있어야 한다. 물론, 제3 실시예와 같이, LDD 영역을 가지지 않는 게이트선(400)의 분지(410)를 추가할 수도 있다.

다음은, 본 발명의 제1 실시예에 따른 박막 트랜지스터를 적용한 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 대하여 상세하게 설명하기로 한다.

우선, 도 15 및 도 16을 참조하여 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 설명하기로 한다.

도 15는 본 발명의 제1 실시예에 따른 박막 트랜지스터를 사용한 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 16은 도 15에서 XVI-XVI 선을 따라 자른 단면도이다.

투명한 절연 기판(100) 위에 서로 분리되어 있는 두 개의 버퍼 금속층(510, 520)이 화소 영역(P)의 하부에 형성되어 있다. 또한, 기판(100) 위에는 다결정 규소로 이루어진 U자 모양의 반도체층(200)이 형성되어 있으며, 반도체층(200)의 양단은 두 개의 버퍼 금속층(510, 520) 일부를 덮고 있다.

여기서, 반도체층(200)에는 박막 트랜지스터의 채널인 두 개의 채널 영역(210, 230)이 형성되어 있으며, 각 채널 영역(210, 230)의 양쪽에는 N형 또는 P형의 불순물이 저농도로 도핑되어 있는 소스용 및 드레인용 LDD 영역(220, 240 : 260, 280)이 각각 형성되어 있다. 또한, 소스용 및 드레인용 LDD 영역(220, 280)을 중심으로 채널 영역(210, 230)의 맞은편에는 N형 또는 P형 불순물이 고농도로 도핑되어 있는 소스 및 드레인 영역(250, 270)이 각각 형성되어 있으며, 소스용 및 드레인용 LDD 영역(260, 240) 사이에는 N형 또는 P형의 불순물이 고농도로 도핑되어 있는 중간 영역(290)이 형성되어 있다. 이때, 버퍼 금속층(510, 520)을 덮는 부분은 반도체층(200)에서 소스 및 드레인 영역(240, 250)이다.

버퍼 금속층(510, 520) 및 반도체층(200) 위에는 게이트 절연층(300)이 형성되어 있으며, 이 게이트 절연층(300)은 소스 및 드레인 영역(240, 250)을 노출시키는 접촉 구멍(710, 720)을 가지고 있다.

게이트 절연막(300) 위에는 게이트선(400)이 U자 모양의 반도체층(200)과 두 번 교차하도록 가로 방향으로 형성되어 있다. 게이트 절연막(300) 위에는 또한, 유지 용량용 배선(400)이 가로 방향으로 형성되어 있으며, 유지 용량용 배선(450)의 일부는 굴곡되어 버퍼 금속층(520)과 중첩되어 있다.

게이트선(400) 및 유지 용량용 배선(450) 위에는 중간 절연막(700)이 형성되어 있으며, 이 중간 절연막(700)에는 게이트 절연막(300)과 동일하게 반도체층(200)의 소스 및 드레인 영역(240, 250)의 상부를 노출시키는 접촉 구멍(710, 720)을 가지고 있다.

중간 절연막(700) 위에는 또한 게이트선(200)과 교차하여 화소 영역(P)을 정의하는 데이터선(600)이 세로로 형성되어 있다. 즉, 화소 영역(P)은 게이트선(400)과 데이터선(600)으로 둘러싸인 영역이다. 데이터선(600)의 분지인 소스 전극(610)은 버퍼 금속층(510)까지 연장되어 접촉 구멍(710)을 통하여 소스 영역(250)과 연결되어 있으며, 버퍼 금속층(520) 상부에는 접촉 구멍(720)을 통하여 드레인 영역(270)과 연결되어 있는 드레인 전극(620)이 형성되어 있다.

데이터 패턴(600, 610, 620) 및 이 데이터 패턴으로 가려지지 않은 중간 절연막(700) 위에는 보호막(900)이 형성되어 있으며, 이 보호막(900)에는 드레인 전극(620)을 노출시키는 접촉 구멍(910)이 형성되어 있다.

마지막으로, 보호막(900) 위에는 접촉 구멍(910)을 통하여 드레인 전극(620)과 연결되어 있으며 ITO 등의 투명한 도전 물질로 만들어진 화소 전극(800)이 형성되어 있다.

이러한 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판에서는 유지 용량용 배선(450)을 화소 전극(800) 및 버퍼 금속층(520)과 중첩하도록 형성하여 유지 용량을 형성하였지만, 유지 용량용 배선을 제거하고 화소 전극(800)의 일부를 전단의 게이트선(400), 즉 화소 전극(800)과 전기적으로 연결되어 있지 않지만 화소 전극(800)과 인접한 상부의 게이트선과 중첩하도록 형성하여 유지 용량을 형성할 수도 있다.

여기서는, 본 발명의 제1 실시예에 따른 박막 트랜지스터를 적용하였지만 제2 및 제3 실시예의 박막 트랜지스터를 적용할 수도 있다.

다음은, 도 15 및 도 16에서 도시한 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법에 대하여 상세하게 설명하기로 한다.

도 17a, 도 18a, 도 19a 및 도 20a는 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 17b, 도 18b, 도 19b 및 도 20b는 도 17a, 도 18a 및 도 19a에서 XVIIb-XVIIb, XVIIIb-XVIIIb, XIXb-XIXb 및 XXb-XXb 선을 따라 잘라 도시한 각각의 단면도이다.

먼저, 도 17a 및 도 17b에 도시한 바와 같이, 투명한 절연 기판(100) 위에 도전 물질을 적층하고 사진

식각하여 버퍼 금속층(510, 520)을 형성한 다음, 다결정 규소층을 적층하고 사진 식각하여 U자 모양의 반도체층(200)을 형성한다. 여기서, 반도체층(200)을 형성할 때 비정질 규소를 이용하여 형성할 수도 있다. 이어, 질화규소 또는 산화 규소로 이루어진 게이트 절연막(300), 도전 물질을 차례로 적층하고 도전 물질로 이루어진 도전층을 사진 식각하여 게이트선(400) 및 유지 용량용 배선(450)을 형성한다. 이때, 게이트선(400)은 반도체층(200)과 두 번 교차하도록 형성하고, 유지 용량용 배선(450)의 일부는 버퍼 금속층(520)과 중첩하도록 형성한다.

다음, 도 18a 및 도 18b에서 보는 바와 같이, 게이트선(400)을 마스크로 하여 반도체층(200)에 N형 또는 P형의 불순물을 저농도로 이온 주입하여 게이트선(400) 하부의 반도체층(200)에 도핑되지 않은 채널 영역(210, 230)을 각각 형성한다.

이때, 도면에는 나타나지 않았지만, 기판(100)의 가장자리에 N형 또는 P형의 저농도 영역을 형성하는 경우에는, 이들을 형성하기 위하여 포토레지스트를 이용한 한 번 이상의 사진 공정 또는 한 번 이상의 이온 주입 공정을 추가할 수 있다.

다음, 도 19a 및 도 19b에서 보는 바와 같이, 기판(100)의 상부에 포토레지스트(1000)를 도포하고 사진 공정을 통하여 반도체층(200)의 상부를 지나는 게이트선(400)을 덮는 일부(1000)만을 게이트선(400)의 폭보다 넓게 남긴다. 왜냐하면, 채널 영역(210, 230)을 중심으로 저농도로 도핑된 영역을 남기기 위함이다. 다음, 남겨진 포토레지스트(1000)를 마스크로 하여 N형 또는 P형의 불순물을 고농도로 이온 주입하여 게이트선(400)으로 가리지 않은 포토레지스트(1000)의 하부에 N형 또는 P형 불순물의 소스용 및 드레인용 LDD 영역(220, 240 : 260, 280)을 남기고, 소스 및 드레인 영역(220, 280)을 중심으로 채널 영역(210, 230)의 맞은편에 소스 및 드레인 영역(250, 270) 및 소스 및 드레인 영역(240, 260) 사이에 중앙 영역(290)을 형성한다. 이때, 채널 영역(210)의 양쪽에 저농도로 도핑된 영역은 소스용 및 드레인용 LDD 영역(220, 230)이다. 이어 남겨진 포토레지스트(1000)를 제거한다.

이때에도, 도면에는 나타나지 않았지만, 기판(100)의 가장자리에 N형 또는 P형의 고농도 영역을 형성하는 경우에는, 이들을 형성하기 위하여 포토레지스트를 이용한 한 번 이상의 사진 공정과 한 번 이상의 이온 주입 공정을 추가할 수도 있다.

다음, 도 20a 및 도 20b에서 보는 바와 같이, 질화규소 또는 산화규소로 이루어진 층간 절연막(700)을 형성하고, 층간 절연막(700)을 게이트 절연막(300)과 함께 패터닝하여 소스 및 드레인 영역(250, 270)을 노출시키는 접촉 구멍(710, 720)을 형성한다. 이어, 도전 물질을 적층하고 사진 식각하여 데이터선(600), 소스 전극(610) 및 드레인 전극(620)을 포함하는 데이터 패턴을 형성한다.

다음, 도 15 및 도 16에서 보는 바와 같이, 보호막(900)을 형성한 다음, 사진 식각하여 드레인 전극(620)을 노출시키는 접촉 구멍(910)을 형성한다. 이어, 기판(100)의 상부에 투명 도전막인 ITO막을 적층하고, 패터닝하여 접촉 구멍(910)을 통하여 드레인 전극(620)과 연결되는 화소 전극(800)을 형성한다.

이때, 유지 용량용 배선(450)을 형성하지 않는 경우에는 화소 전극(800)을 전단의 게이트선(400)과 중첩하도록 형성할 수도 있다.

다음은, 게이트선과 교차하는 반도체 패턴이 다수이거나 링 또는 고리 모양인 경우에 대하여 제5 내지 제8 실시예를 통하여 각각 설명하기로 한다.

제5 내지 제8 실시예에서는 유지 용량용 배선 및 버퍼 금속층을 생략하고, 게이트 패턴, 데이터 패턴, 반도체 패턴 및 화소 전극의 연결 관계만을 개략적으로 설명하기로 한다.

먼저, 제5 내지 제7 실시예에서는 반도체층을 두 부분으로 분리하고, 이 두 부분을 다른 도전층을 이용하여 연결한 구조를 제시한다.

도 21은 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 박막 트랜지스터의 구조를 개략적으로 도시한 배치도이고, 도 22는 도 21에서 XXII-XXII 선을 따라 도시한 단면도이고, 도 23은 도 21 및 도 22에서 도시한 박막 트랜지스터의 등가 회로도이다.

도 21 및 도 22에서 보는 바와 같이, 기판(100) 위에 두 개의 반도체층(201, 202)이 서로 평행하게 가로로 형성되어 있다. 제1 및 제2 반도체층(201, 202)에는 박막 트랜지스터의 채널인 채널 영역(210, 230)이 각각 형성되어 있으며, 각 채널 영역(210, 230)의 양쪽에는 N형 또는 P형의 불순물이 저농도로 도핑되어 있는 소스용 및 드레인용 LDD 영역(220, 240 : 260, 280)이 각각 형성되어 있다. 또한, 소스용 및 드레인용 LDD 영역(220, 240 : 260, 280)을 중심으로 채널 영역(210, 230)의 맞은편에는 N형 또는 P형 불순물이 고농도로 도핑되어 있는 소스 및 드레인 영역(251, 271 : 252, 272)이 각각 형성되어 있다.

반도체층(200) 위에는 게이트 절연층(300)이 형성되어 있으며, 이 게이트 절연층(300)은 소스 및 드레인 영역(251, 271 : 252, 272)을 노출시키는 접촉 구멍(711, 722 : 712, 721)을 가지고 있다.

게이트 절연막(300) 위에는 게이트선(400)이 가로로 형성되어 있으며, 가로로 형성된 두 개의 반도체층(201, 202)과 교차하며 게이트선(400)의 분지(410)가 세로 방향으로 형성되어 있다.

게이트 패턴(400, 410) 위에는 중간 절연막(700)이 형성되어 있으며, 이 층간 절연막(700)에는 게이트 절연막(300)과 동일하게 소스 및 드레인 영역(251, 271 : 252, 272)을 각각 노출시키는 접촉 구멍(711, 722 : 712, 721)을 가지고 있다.

층간 절연막(700) 위에는 또한 게이트선(200)과 교차하는 데이터선(600)이 세로로 형성되어 있으며, 데이터선(600)의 분지인 소스 전극(610)은 접촉 구멍(711)을 통하여 소스 영역(251)과 연결되어 있으며, 소스 전극(610)으로부터 연장된 소스용 연결부(611)는 게이트선(410)을 지나 접촉 구멍(712)을 통하여 소스 영역(252)과 연결되어 있다.

데이터 패턴(600, 610) 및 이 데이터 패턴으로 가려지지 않은 층간 절연막(700) 위에는 보호막(900)이 형성되어 있으며, 이 보호막(900)에는 게이트 절연막(300) 및 층간 절연막(700)과 함께 드레인

영역(271, 272)을 각각 노출시키는 접촉 구멍(922, 921)이 형성되어 있다.

마지막으로, 보호막(900) 위에는 접촉 구멍(922, 921)을 통하여 드레인 영역(271, 272)과 연결되어 있으며 IT0 등의 투명한 도전 물질로 만들어진 화소 전극(800)이 형성되어 있다.

이러한 구조에서도, 제1 내지 제4 실시예와 동일하게, 반도체층(201, 202) 각각은 단일의 게이트선(400) 분지(410)와 같은 방향으로 짝수 번 교차하도록 형성되어 있으며, 소스 및 드레인 영역(251, 271 : 252, 272)은 게이트선(400)의 분지(410)에 대하여 같은 쪽에 형성되어 있다.

하지만, 소스 영역(251, 252) 및 드레인 영역(271, 272)은 서로 게이트선에 대하여 다른 쪽에 형성되어 있으며, 각각은 소스용 연결부(611)를 통하여 연결되어 있다.

이러한 구조의 등가 회로를 보면, 도 23에서 보는 바와 같이, 도 21 및 도 22에서 소스 영역(251) 및 소스용 LDD 영역(220)을 소스(S1)로 하고 드레인용 LDD 영역(240) 및 드레인 영역(271)을 드레인(D1)으로 하는 제1 박막 트랜지스터(LDD TFT1)와 소스 영역(252) 및 소스용 LDD 영역(260)을 소스(S2)로 하고 드레인용 LDD 영역(280) 및 드레인 영역(272)을 드레인(D2)으로 하는 제2 박막 트랜지스터(LDD TFT2)가 병렬로 연결되어 있다. 또한, 도 21 및 도 22의 도면 부호와 동일한 도면 부호는 서로 대응하는 부분을 지시한 것이다.

제5 실시예에서는, 소스용 연결부(611)는 소스 전극(610)이 연장된 것이지만, 다른 금속막, IT0막 또는 고농도로 도핑된 규소층 등으로 형성할 수도 있다. 여기에서는 다른 금속막과 IT0막으로 형성한 구조에 제6 및 제7 실시예에 대하여 상세하게 설명하기로 한다. 제조 공정은 도 15 및 도 16의 실시예와 유사하고, 배치 구조는 제5 실시예와 유사하므로, 이에 대한 상세한 설명은 생략하기로 한다.

도 24 및 도 25는 본 발명의 제6 및 제7 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 단면도이다.

제6 실시예에서는, 도 15 및 도 16의 버퍼 금속층과 동일한 층에 소스용 연결부를 형성한 구조이다.

도 24에서 보는 바와 같이, 투명한 절연 기판(100) 위에 소스용 연결부(530)가 형성되어 있으며, 소스용 연결부(530) 일부를 덮고 있는 두 개의 반도체층(201, 202)이 기판(100) 위에 형성되어 있다. 이때, 도 22의 배치도를 참조하면, 두 개의 반도체층(201, 201)은 소스용 연결부(530)를 통하여 각각의 소스 영역(251, 252)이 연결되어 있음을 알 수 있다.

여기서, 두 개의 반도체층(201, 202)은 소스용 연결부(530)를 통하여 연결되어 있기 때문에 게이트 절연막(300) 및 층간 절연막(700)에는 소스 영역(252)을 노출시키지는 접촉 구멍을 가질 필요가 없으며, 나머지 구조는 제5 실시예의 구조와 유사하다.

제7 실시예에서는, 도 15 및 도 16에서 화소 전극과 동일한 층에 IT0막으로 소스용 연결부를 형성한 구조이다.

도 25에서 보는 바와 같이, 대부분의 구조는 제5 실시예와 유사하다.

하지만, 보호막(900)에 게이트 절연막(300) 및 층간 절연막(700)과 함께 소스 영역(252) 및 소스 전극(610)을 노출시키는 접촉 구멍(912, 911)이 각각 형성되어 있다. 보호막(900)의 상부에는 접촉 구멍(911, 912)을 통하여 소스 영역(252, 610)을 연결되어 있는 소스용 연결부(810)가 형성되어 있다. 여기서도, 도 22의 배치도를 참조하면, 소스용 연결부(810)를 통하여 각각의 소스 영역(251, 252)이 연결되어 있음을 알 수 있다.

또한, 본 발명의 제5 내지 제7 실시예에서는 게이트선(400)의 분지(410)와 교차하는 반도체층(201, 201)이 두 개이지만, 두 개가 아니라 네 개 여섯 개 등 짝수 개로 형성할 수도 있다.

제8 실시예에서는 반도체층의 형태를 폐곡선형 또는 고리형으로 변형한 구조를 제시한다.

도 26은 본 발명의 제8 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 박막 트랜지스터의 구조를 개략적으로 도시한 배치도이고, 도 27은 도 26에 나타난 박막 트랜지스터의 등가 회로도이다.

도 28에서 보는 바와 같이, 본 발명의 제8 실시예에 따른 박막 트랜지스터에는 반도체층(200)이 폐곡선 모양으로 형성되어 있다. 이러한 폐곡선 모양의 반도체층(200)은 가로 방향의 게이트선(400)과 두 번 교차하도록 형성되어 있다. 반도체층(200)은 또한 연결부(420)를 통하여 게이트선(400)과 연결되어 있으며, 게이트선(400)과 평행한 분지(410)와 두 번 교차하도록 형성되어 있다.

게이트선(400) 및 게이트선(400)의 분지(410)가 지나가는 반도체층(200)에는 채널 영역(211, 231, 212, 232)이 형성되어 있으며, 각각의 채널 영역(211, 231, 212, 232) 양쪽에는 소스용 및 드레인용 LDD 영역(221, 241 : 261, 281 : 222, 242 : 262, 282)이 형성되어 있다. 소스용 LDD 영역(221, 222) 사이에는 소스 영역(250)이 형성되어 있고 드레인용 LDD 영역(281, 282) 사이에는 드레인 영역(270)이 형성되어 있으며, 소스용 및 드레인용 LDD 영역(261, 241 : 262, 242) 사이에는 각각 중간 영역(291, 292)이 형성되어 있다. 이러한 구조에서 소스 및 드레인 영역(250, 270)은 게이트선(400)과 게이트선(400)의 분지(410) 사이에 위치한다.

게이트선(400)과 교차하는 데이터선(600)이 세로 방향으로 형성되어 있으며, 데이터선(600)의 분지인 소스 전극(610)은 게이트 절연막(도 15 및 도 16 참조) 및 층간 절연막(도 15 및 도 16 참조)에 형성되어 있는 접촉 구멍(710)을 통하여 소스 영역(250)과 연결되어 있다. 또한, 드레인 영역(270)은 게이트 절연막(도 15 및 도 16 참조), 층간 절연막(도 15 및 도 16 참조) 및 보호막(도 15 및 도 16 참조)에 형성되어 있는 접촉 구멍(720, 910)을 통하여 화소 전극(800)과 연결되어 있다.

이러한 구조의 등가 회로를 보면, 도 27에서 보는 바와 같이, 도 26에서 소스 영역(250) 및 소스용 LDD 영역(221)을 소스(S1)로 하고 드레인용 LDD 영역(241) 및 중간 영역(291)을 드레인(D1)으로 하는 제1 박막 트랜지스터(LDD TFT1)와 중간 영역(291) 및 소스용 LDD 영역(261)을 소스(S2)로 하고 드레인용 LDD

영역(281) 및 드레인 영역(270)을 드레인(D2)으로 하는 제2 박막 트랜지스터(LDD TFT2)가 직렬로 연결되어 있다. 또한, 드레인 영역(250) 및 소스용 LDD 영역(222)을 소스(S3)로 하고 드레인용 LDD 영역(242) 및 중간 영역(292)을 드레인(D3)으로 하는 제3 박막 트랜지스터(LDD TFT3)와 중간 영역(292) 및 소스용 LDD 영역(262)을 소스(S4)로 하고 드레인용 LDD 영역(282) 및 드레인 영역(270)을 드레인(D4)으로 하는 제4 박막 트랜지스터(LDD TFT2)가 직렬로 연결되어 있다. 또한, 직렬로 연결된 제1 및 제2 박막 트랜지스터(LDD TFT1, LDD TFT2)와 제3 및 제4 박막 트랜지스터(LDD TFT3, LDD TFT4)는 병렬로 연결되어 있으며, 도 26의 도면 부호와 동일한 도면 부호는 서로 대응하는 부분을 지시한 것이다.

발명의 효과

따라서 본 발명에 따른 박막 트랜지스터에서 소스용 및 드레인용 LDD 영역의 길이는 오정렬이 발생하더라도 항상 동일하게 보상되므로 충전시 또는 방전시에 흐르는 박막 트랜지스터의 온 전류 및 오프 전류는 균일하게 형성되어 소자의 특성을 향상되고, 오정렬로 인한 불량을 최소화되어 공정 수율이 향상된다.

(57) 청구의 범위

청구항 1

단일선으로 이루어져 있는 게이트선,

상기 게이트선과 교차하며 상기 게이트선과 교차하는 부분에 형성되어 있는 제1 채널 영역, 상기 제1 채널 영역의 양쪽에 각각 형성되어 있는 제1 소스용 LDD 영역과 제1 드레인용 LDD 영역 및 상기 제1 소스용 LDD 영역과 상기 제1 드레인용 LDD 영역을 중심으로 상기 제1 채널 영역의 반대편에 각각 형성되어 있는 제1 소스 영역과 제1 드레인 영역을 가지고 있는 반도체층, 그리고

상기 게이트선과 상기 반도체층 사이에 형성되어 있는 절연막을 포함하며,

상기 제1 채널 영역은 적어도 두 개 이상 짝수 개이고 상기 제1 채널 영역에서 상기 게이트선과 상기 반도체층은 동일한 방향으로 교차하며, 상기 소스 영역과 상기 드레인 영역은 상기 게이트선에 대하여 동일한 쪽에 있는 박막 트랜지스터.

청구항 2

제1항에서, 상기 게이트선은 한 방향으로 뻗어 있는 박막 트랜지스터.

청구항 3

제2항에서, 상기 반도체층은 U자 모양인 박막 트랜지스터.

청구항 4

제2항에서,

상기 반도체층은 U자 모양인 반복적으로 연결된 모양인 박막 트랜지스터.

청구항 5

제2항에서,

상기 반도체층과 교차하며 상기 게이트선과 연결되어 있는 분지를 더 포함하며,

상기 반도체층은 상기 분지와 교차하는 부분에 형성되어 있는 제2 채널 영역을 더 포함하는 박막 트랜지스터.

청구항 6

제1항에서,

상기 반도체층은 상기 게이트선과 한 번씩 교차하는 짝수 개의 부분으로 분리되어 있으며, 서로 이웃하는 짝수 개의 상기 반도체층의 상기 제1 소스 영역과 상기 제1 드레인 영역은 상기 게이트선에 대하여 다른 쪽에 형성되어 있으며, 상기 제1 소스 영역과 상기 제1 드레인 영역은 연결부를 통하여 각각 연결되어 있는 박막 트랜지스터.

청구항 7

제6항에서,

상기 연결부는 금속층, 고농도로 도핑되어 있는 규소층 또는 IT0막으로 형성되어 있는 박막 트랜지스터.

청구항 8

제1항에서,

상기 반도체층은 고리 또는 폐곡선 모양으로 형성되어 있는 박막 트랜지스터.

청구항 9

제8항에서,

상기 반도체층과 두 번 이상 짝수 번 상기 방향으로 교차하도록 형성되어 있으며, 상기 게이트선과 연결

부를 통하여 상기 게이트선과 연결되어 있는 분지를 더 포함하는 박막 트랜지스터.

청구항 10

제9항에서,

상기 분지와 교차하는 상기 반도체층에 형성되어 있는 제2 채널 영역 및 상기 제2 채널 영역의 양쪽에 형성되어 있는 제2 소스용 LDD 영역과 제2 드레인용 LDD 영역을 더 포함하는 박막 트랜지스터.

청구항 11

제10항에서,

상기 제1 소스 영역과 상기 제1 드레인 영역은 상기 분지와 상기 게이트선 사이에 형성되어 있는 박막 트랜지스터.

청구항 12

제1항에서,

상기 게이트선의 경계로부터 상기 제1 소스 및 드레인용 LDD 영역의 길이는 0.3~5.0 μ m 범위로 형성되어 있는 박막 트랜지스터.

청구항 13

제1항에서,

상기 게이트선의 폭은 2~10 μ m 범위에서 형성되어 있는 박막 트랜지스터.

청구항 14

투명한 절연 기판,

상기 기판 위에 형성되어 있으며, 적어도 두 개 이상 짝수 개 형성되어 있는 제1 채널 영역 및 상기 제1 채널 영역의 양쪽에 형성되어 있으며 N형 또는 P형의 불순물이 저농도로 도핑되어 있는 제1 소스용 LDD 영역과 제1 드레인용 LDD 영역 및 상기 제1 소스용 LDD 영역과 상기 제1 드레인용 LDD 영역을 중심으로 상기 제1 채널 영역의 맞은편에 각각 형성되어 있는 소스 영역과 드레인 영역을 가지는 반도체층,

상기 제1 채널 영역에서 상기 반도체층과 동일한 방향으로 교차하며, 상기 소스 영역과 상기 드레인 영역에 대하여 같은 쪽에 단일선으로 형성되어 있는 게이트선,

상기 반도체층과 상기 게이트선 사이에 형성되어 있는 게이트 절연막,

상기 게이트선과 절연되어 있으며, 상기 게이트선과 교차하여 화소 영역을 정의하는 데이터선,

상기 화소 영역에 형성되어 있는 화소 전극을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 15

제14항에서,

상기 기판 위에 형성되어 있으며, 상기 소스 영역 및 드레인 영역과 각각 연결되어 있는 두 개의 버퍼 금속층을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 16

제15항에서,

상기 게이트선과 상기 데이터선 사이에 형성되어 있는 층간 절연막을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 17

제16항에서,

상기 데이터선의 분지인 소스 전극 및 상기 소스 전극과 분리되어 있으며 상기 소스 전극과 동일한 층에 형성되어 있는 드레인 전극을 더 포함하며,

상기 소스 및 상기 드레인 전극은 상기 게이트 절연막 및 상기 층간 절연막에 형성되어 있는 제1 및 제2 접촉 구멍을 통하여 상기 소스 영역 및 상기 드레인 영역과 각각 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 18

제17항에서,

상기 데이터선, 상기 소스 전극 및 상기 드레인 전극과 상기 화소 전극 사이에 보호막을 더 포함하며,

상기 보호막에 형성되어 제3 접촉 구멍을 통하여 상기 드레인 전극과 상기 화소 전극이 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 19

제18항에서,

상기 게이트선은 한 방향으로 뻗어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 20

제19항에서,

상기 반도체층과 교차하며 상기 게이트선과 연결되어 있는 분지를 더 포함하며, 상기 반도체층은 상기 분지와 교차하는 부분에 형성되어 있는 제2 채널 영역을 더 가지고 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 21

제18항에서,

상기 반도체층은 상기 게이트선과 한 번씩 교차하는 짝수 개의 부분으로 분리되어 있으며, 서로 이웃하는 짝수 개의 상기 반도체층의 상기 소스 및 드레인 영역은 상기 게이트선에 대하여 다른 쪽에 형성되어 있으며, 상기 제1 소스 및 드레인 영역은 연결부를 통하여 각각 연결되어 있는 박막 트랜지스터.

청구항 22

제22항에서,

상기 연결부는 소스 전극이 연장되어 있으며, 상기 연결부는 상기 게이트 절연막 및 상기 층간 절연막에 형성되어 있는 제4 접촉 구멍을 통하여 상기 소스 영역과 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 23

제21항에서,

상기 연결부는 금속층, 고농도로 도핑되어 있는 규소층 또는 IT0막으로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

청구항 24

제23항에서,

상기 연결부가 금속층인 경우에 상기 연결부는 상기 버퍼 금속층과 동일한 층에 형성되어 있으며, 상기 소스 영역과 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 25

제23항에서, 상기 연결부가 IT0막인 경우에,

상기 IT0막은 상기 화소 전극과 동일한 층에 형성되어 있으며,

상기 보호막에 형성되어 있는 제4 접촉 구멍을 통하여 상기 IT0막은 상기 소스 전극과 연결되어 있으며, 상기 IT0막은 상기 게이트 절연막, 상기 층간 절연막 및 상기 보호막에 형성되어 있는 제5 접촉 구멍을 통하여 상기 소스 영역과 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 26

제18항에서,

상기 반도체층은 고리 또는 폐곡선 모양으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 27

제26항에서,

상기 방향으로 상기 반도체층과 두 번 이상 짝수 번 교차하며, 상기 게이트선과 연결되어 있는 분지를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 28

제27항에서,

상기 분지와 교차하는 상기 반도체층에 형성되어 있는 제2 채널 영역 및 상기 제2 채널 영역의 양쪽에 형성되어 있는 제2 소스용 LOD 영역 및 제2 드레인용 LOD 영역을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 29

제28항에서,

상기 소스 및 드레인 영역은 상기 게이트선과 상기 분지 사이에 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 30

제14항에서,

상기 게이트선의 경계로부터 상기 제1 소스 및 드레인용 LOD 영역의 길이는 0.3~5.0 μ m 범위로 형성되어

있는 액정 표시 장치용 박막 트랜지스터 기판.

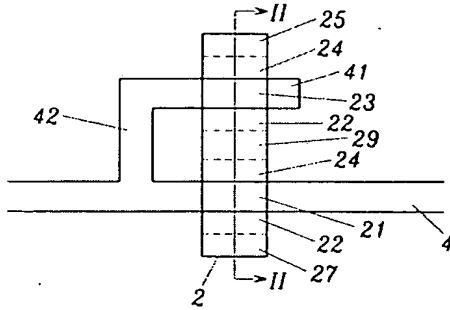
청구항 31

제14항에서,

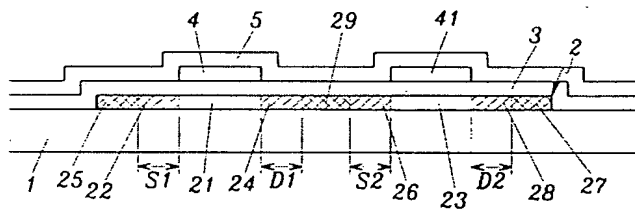
상기 게이트선의 폭은 2~10 μ m 범위에서 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

도면

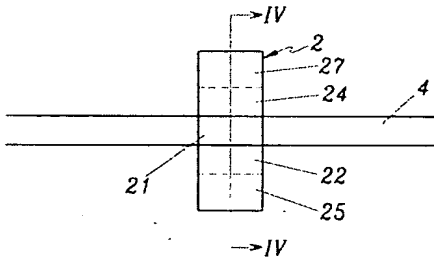
도면1



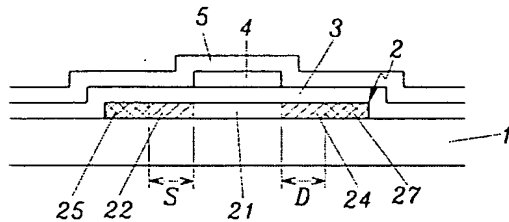
도면2



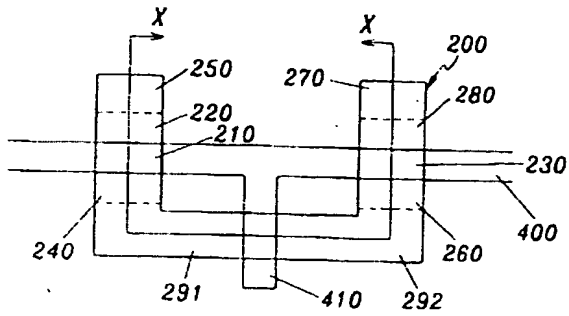
도면3



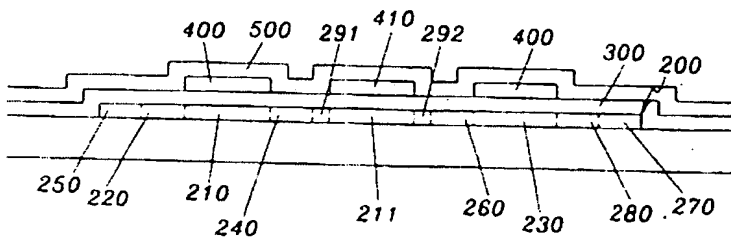
도면4



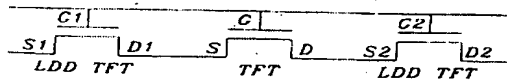
도면9



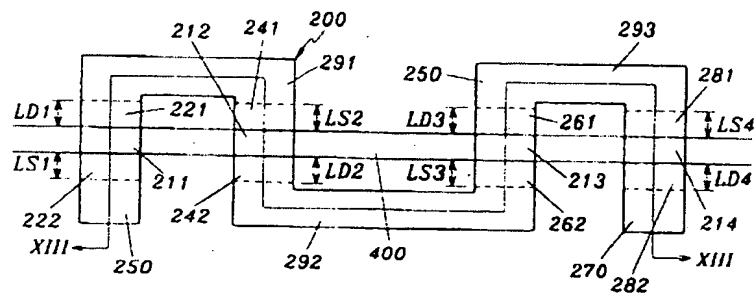
도면10



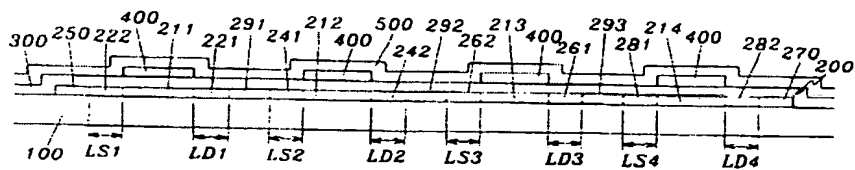
도면11



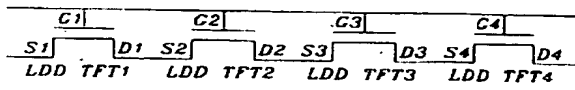
도면12



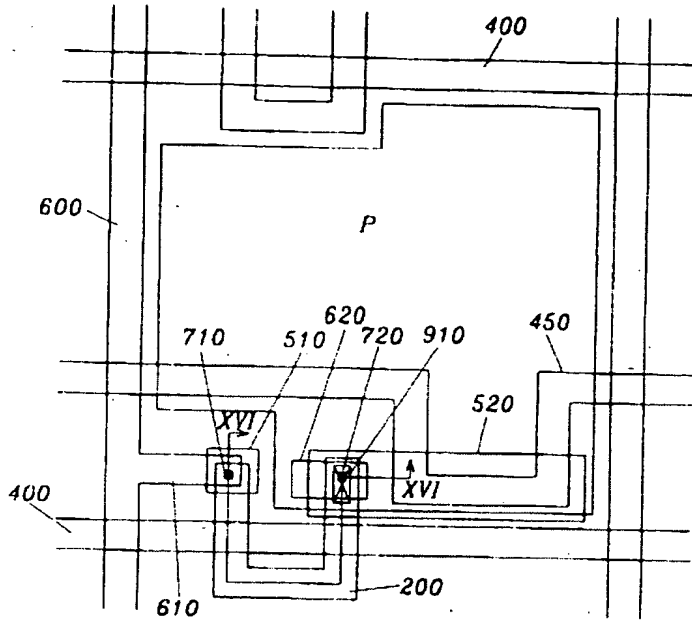
도면13



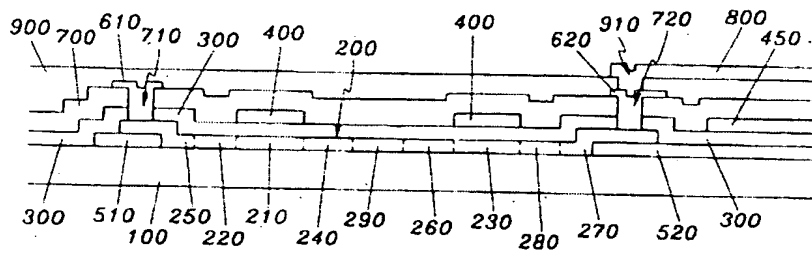
도면14



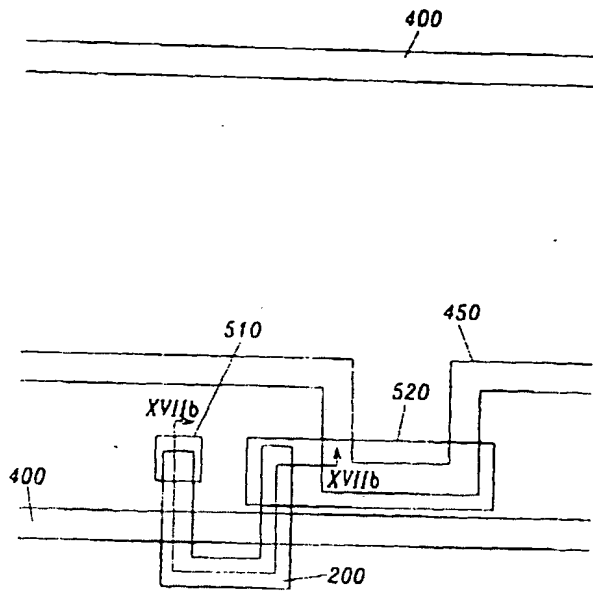
도면15



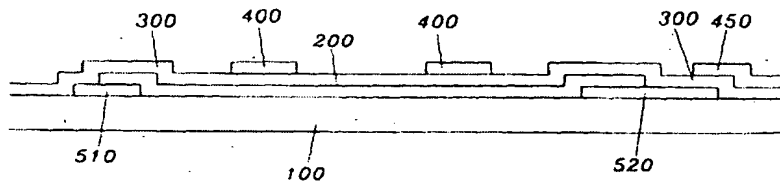
도면16



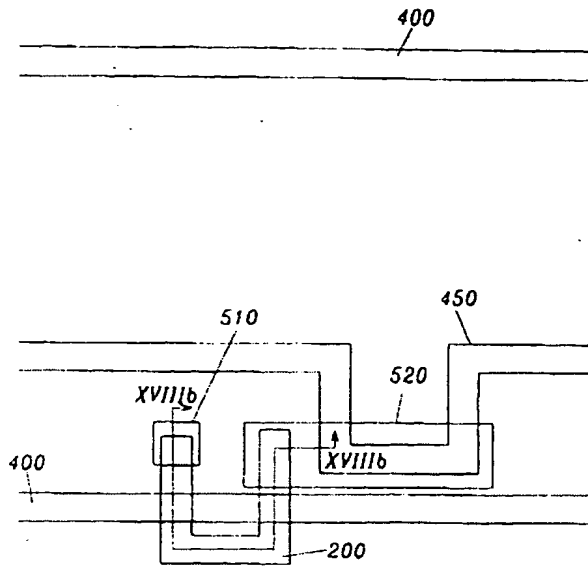
도면 17a



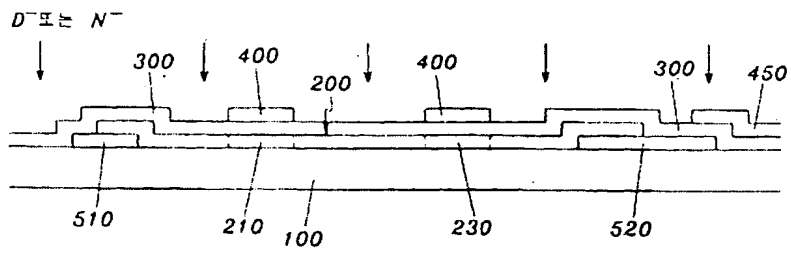
도면 17b



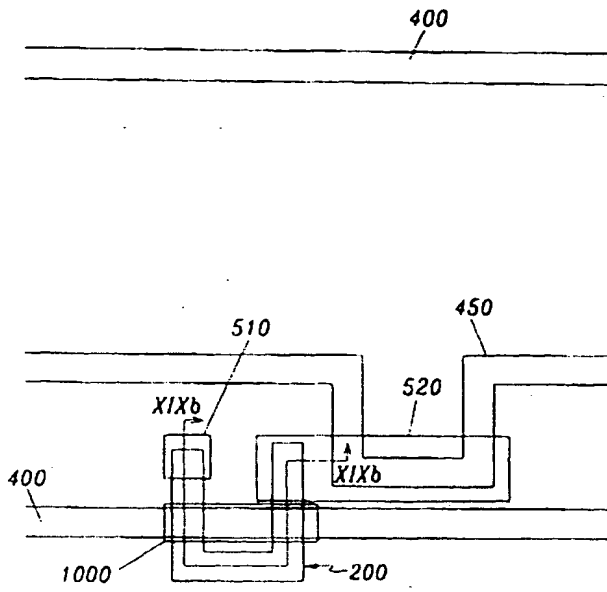
도면 18a



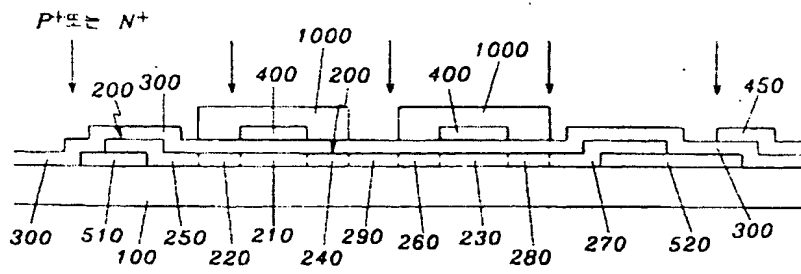
도면 18b



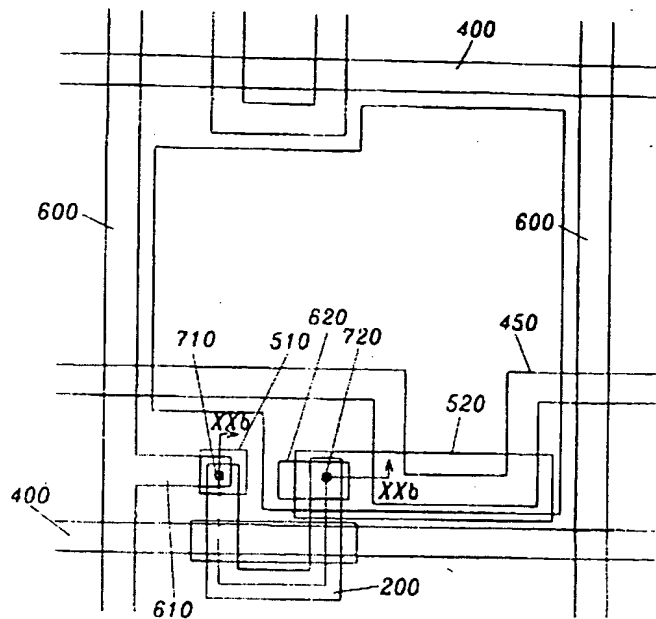
도면 19a



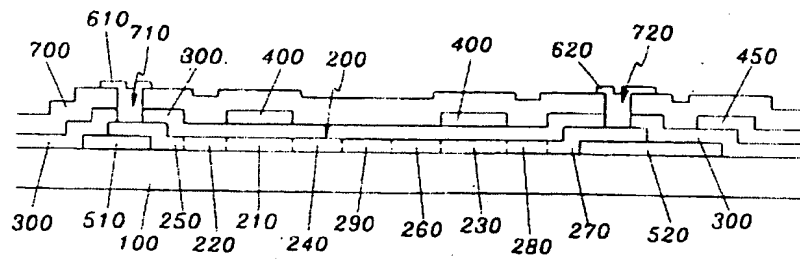
도면 19b



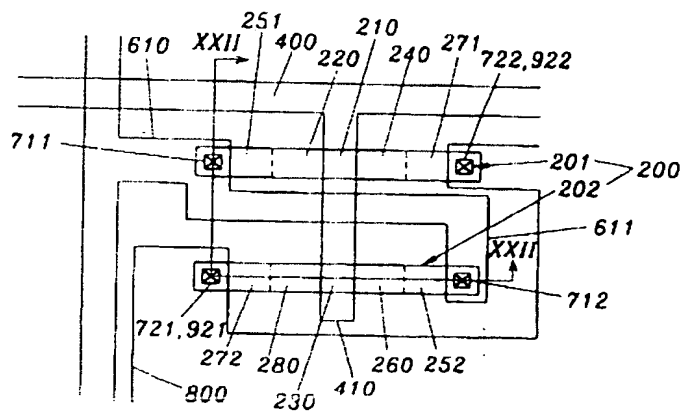
도면20a



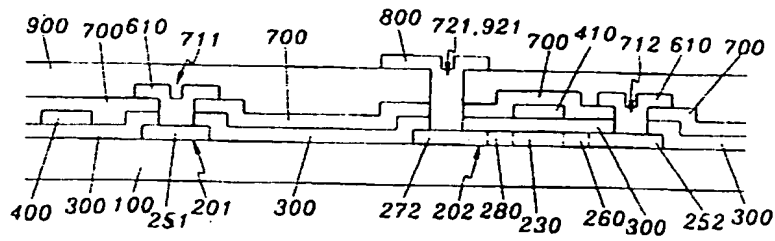
도면20b



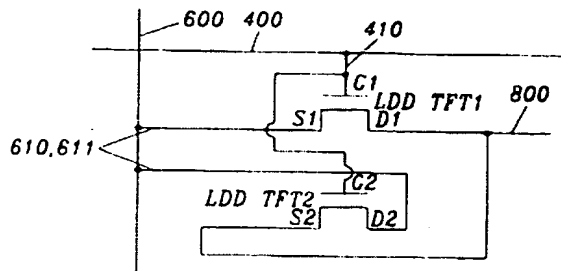
도면21



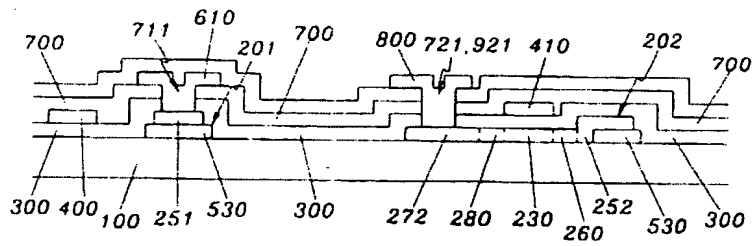
도면22



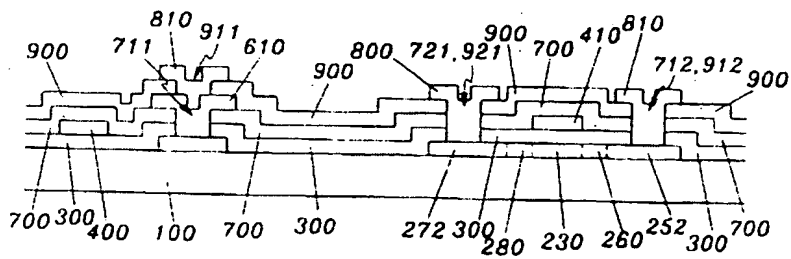
도면23



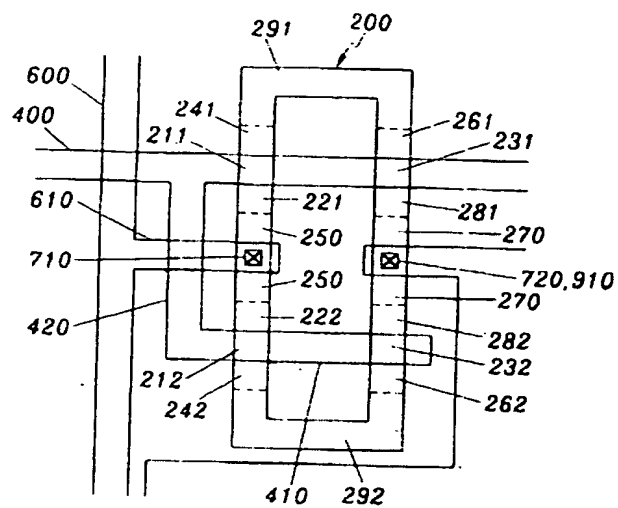
도면24



도면25



도면26



도면27

